



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10050949 A**(43) Date of publication of application: **20.02.98**

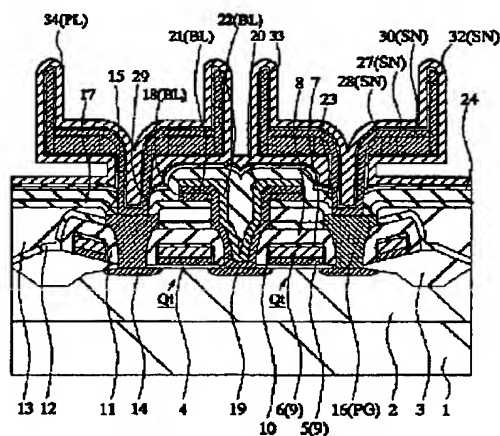
(51) Int. Cl.

H01L 27/108**H01L 21/8242****H01L 27/04****H01L 21/822**(21) Application number: **08198759**(22) Date of filing: **29.07.96**(71) Applicant: **HITACHI LTD**(72) Inventor: **KUBO MASANORI
OOGAYA KAORU
IIJIMA SHINPEI****(54) SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND ITS MANUFACTURING METHOD****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a technique to improve reliability of an information storage capacitive device having a crown-structured storage electrode, by preventing breakage of a capacitive insulating film.

SOLUTION: A silicon oxide film is formed on the surfaces of polycrystalline silicon films 32, 30, 28 and 27 constructing a storage electrode SN. Then, the silicon oxide film is removed such that the end portion of the polycrystalline silicon film 32 having a cylindrical shape, constructing a part of the storage electrode SN, is rounded, and the inner angle of the cross section of this end portion is 35° or greater. This suppresses thinning of a Ta₂O₅ film 33 as a capacitive insulating film at the end portion and electric-field concentration between the storage electrode SN and a plate electrode PL.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-50949

(43) 公開日 平成10年(1998) 2月20日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 2 1 C
21/8242			27/04	C
27/04			27/10	6 5 1
21/822				

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平8-198759

(22) 出願日 平成8年(1996) 7月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 久保 真紀

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大鋸谷 薫

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 飯島 晋平

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

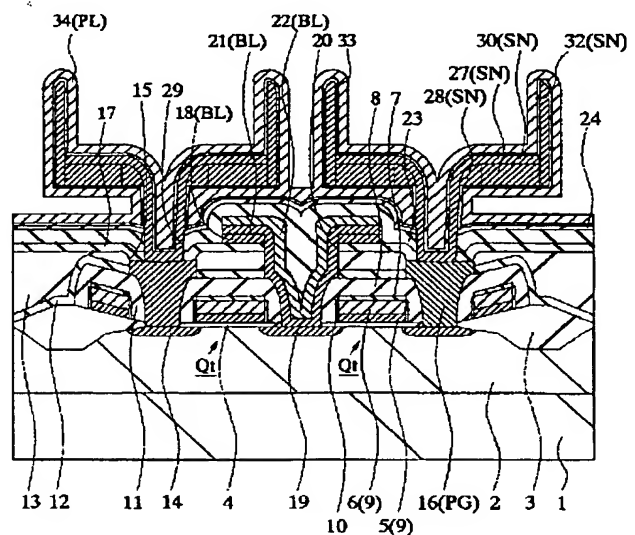
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 容量絶縁膜の破壊を抑えて、クラウン構造の蓄積電極を有する情報蓄積用容量素子の信頼度を向上することが可能な技術を提供する。

【解決手段】 蓄積電極 S N を構成する多結晶シリコン膜 3 2、3 0、2 8、2 7 の表面に酸化シリコン膜を形成した後、この酸化シリコン膜を除去することによって、蓄積電極 S N の一部を構成する円筒型が多結晶シリコン膜 3 2 の最先端部を丸みを帯びた形状とし、また、この最先端部の断面形状が有する内角の角度を 3 5 度以上とする。これによって、上記最先端部における容量絶縁膜である T a₂ O₅ 膜 3 3 の薄膜化および蓄積電極 S N とプレート電極 P L 間の電界集中を抑制する。

図 1



32: 多結晶シリコン膜
33: Ta₂O₅膜

【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であることを特徴とする半導体集積回路装置。

【請求項2】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部において、前記最先端部の断面形状が有する内角の角度が35度以上であることを特徴とする半導体集積回路装置。

【請求項3】 メモリセル選択用MISFETの上方に、クラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有する半導体集積回路装置であって、容量絶縁膜によって被覆された前記蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であり、かつ、前記最先端部の断面形状が有する内角の角度が35度以上であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置において、前記蓄積電極の一部を構成する円筒型の前記導電膜の膜厚が、前記容量絶縁膜の膜厚よりも厚いことを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置において、前記蓄積電極を構成する導電膜は多結晶シリコン膜、高融点金属膜または金属シリサイド膜であることを特徴とする半導体集積回路装置。

【請求項6】 請求項1、2、3、4または5記載の半導体集積回路装置において、前記容量絶縁膜はTa₂O₅膜、(Ba, Sr)TiO₃膜またはPb(Zr, Ti)O₃膜であることを特徴とする半導体集積回路装置。

【請求項7】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成する工程、半導体基板に熱酸化処理を施して前記導電膜の表面に薄い酸化膜を形成した後、前記酸化膜を除去する工程、前記導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項1～6のいずれか1項に記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成する工程、等方性のエッチングによって前記導電膜の表面を削る工程、前記導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成する工程を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、情報蓄積用容量素子を有する半導体集積回路装置に関し、特に、DRAM (Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体集積回路装置の一つに、メモリセルがメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor)と情報蓄積用容量素子とで構成されたDRAMがある。しかし、DRAMはその大容量化に伴い、メモリセルの微細化が進み、情報蓄積用容量素子の蓄積電荷量が減少して、情報保持特性が低下するという問題がある。

【0003】そこで、64Mbit以上のDRAMの情報蓄積用容量素子では、蓄積電極をクラウン構造とすることにより、その表面積を大きくし、さらに、Ta₂O₅膜、(Ba, Sr)TiO₃膜、Pb(Zr, Ti)O₃膜などの比誘電率の大きい容量絶縁膜を用いることによって蓄積電荷量の増大を図っている。

【0004】なお、クラウン構造の蓄積電極については、たとえば、平成6年11月5日、培風館発行、伊藤清男著「超LSIメモリ」P19に記載がある。

【0005】以下に、図9に示す従来のクラウン構造の蓄積電極の形成方法を簡単に説明する。

【0006】まず、メモリセル選択用MISFETQ_tを形成した後、メモリセル選択用MISFETQ_tの一方の第1のn型半導体領域14上に、多結晶シリコン膜16からなるプラグ電極PGを形成し、次いで、メモリセル選択用MISFETQ_tの他方の第2のn型半導体領域19上に、多結晶シリコン膜18、多結晶シリコン膜21およびタングステンシリサイド膜22からなるビット線BLを形成する。

【0007】次に、半導体基板1上に、酸化シリコン膜23、窒化シリコン膜24および平坦化された酸化シリコン膜(図示せず)を順次堆積した後、さらに、蓄積電極SNの一部を構成する多結晶シリコン膜27を堆積する。

【0008】次に、上記多結晶シリコン膜27を加工した後、半導体基板1上に多結晶シリコン膜28を堆積し、次いで、この多結晶シリコン膜28を異方性エッチングで加工することによって、多結晶シリコン膜27の側壁に多結晶シリコン膜28からなるサイドウォールスペーサを形成する。次いで、上記平坦化された酸化シリコン膜、窒化シリコン膜24、酸化シリコン膜23および酸化シリコン膜17を順次加工することにより、プラグ電極PG上に第3のコンタクトホール29を形成する。

【0009】次に、半導体基板1上に多結晶シリコン膜30およびBPSG (Boron Phospho Silicate Glass)

膜（図示せず）を順次堆積した後、このBPSG膜、多結晶シリコン膜30および多結晶シリコン膜27を順次加工する。

【0010】次に、半導体基板1上に多結晶シリコン膜32を堆積した後、この多結晶シリコン膜32を異方性エッチングで加工することによって、BPSG膜、多結晶シリコン膜30および多結晶シリコン膜27の側壁に円筒型の多結晶シリコン膜32を残し、次いで、BPSG膜および平坦化された酸化シリコン膜を除去することにより、多結晶シリコン膜27、28、30、32によって構成されるクラウン構造の蓄積電極SNを形成する。

【0011】その後、蓄積電極SNの表面に高誘電率を有する容量絶縁膜、例えば、 Ta_2O_5 膜を形成し、次いで、窒化チタン膜34からなるプレート電極PLを形成することによって、情報蓄積用容量素子が完成する。

【0012】

【発明が解決しようとする課題】しかしながら、前記形成方法によってクラウン構造の蓄積電極を形成するにあたり、以下の問題点があることを本発明者は見いだした。

【0013】すなわち、図10に示すように、蓄積電極SNの一部を構成する円筒型の多結晶シリコン膜32の最先端部は尖っており、その断面形状は約30度の角度(θ)の内角を有する。ところが、容量絶縁膜である Ta_2O_5 膜33を蓄積電極SNの表面に堆積すると、上記最先端部では、 Ta_2O_5 膜33の結晶粒界35が成長しやすく、この結晶粒界35の成長によって発生する応力により Ta_2O_5 膜の膜厚が薄くなってしまふ。特に、 Ta_2O_5 膜33の結晶粒界35の成長は、蓄積電極SNを構成する多結晶シリコン膜の断面形状において、この断面形状が有する内角の角度が35度以下の鋭角な部分で生じやすい。

【0014】さらに、蓄積電極SNとプレート電極PLとの間に電圧を印加すると、上記最先端部では電界が集中して、最先端部に堆積された薄い Ta_2O_5 膜33は蓄積電極SNの他の表面に堆積された Ta_2O_5 膜33よりも破壊されやすい。

【0015】従って、クラウン構造の蓄積電極からなる情報蓄積用容量素子では、容量絶縁膜である Ta_2O_5 膜の破壊による信頼度の低下が起りやすく、製品の歩留まりが低下する。

【0016】本発明の目的は、クラウン構造の蓄積電極を有する情報蓄積用容量素子の信頼度を向上することが可能な技術を提供することにある。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状である。

【0019】(2) また、本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置したDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部において、その断面形状が有する内角の角度が35度以上である。

【0020】(3) また、本発明の半導体集積回路装置は、メモリセル選択用MISFETの上方に、容量絶縁膜によって被覆されたクラウン構造の蓄積電極からなる情報蓄積用容量素子を配置するDRAMを有しており、蓄積電極の一部を構成する円筒型の導電膜の最先端部が丸みを帯びた形状であり、かつ、最先端部の断面形状が有する内角の角度が35度以上である。

【0021】(4) また、本発明の半導体集積回路装置の製造方法は、上記(1)、(2)または(3)記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成した後、半導体基板に熱酸化処理を施して蓄積電極を構成する導電膜の表面に薄い酸化膜を形成し、次いで、上記酸化膜を除去する。次に、蓄積電極を構成する導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成するものである。

【0022】(5) また、本発明の半導体集積回路装置の製造方法は、上記(1)、(2)または(3)記載の半導体集積回路装置の製造方法であって、メモリセル選択用MISFETの上方に導電膜によってクラウン構造の蓄積電極を形成した後、等方性のエッチングによって蓄積電極を構成する導電膜の表面を削る。次に、蓄積電極を構成する導電膜の表面に容量絶縁膜を堆積した後、プレート電極を形成するものである。

【0023】上記した手段によれば、蓄積電極の一部を構成する円筒型の導電膜の最先端部に尖った部分がなく、また、この最先端部の断面形状の内角がなす角度が35度以上あるので、上記最先端部において容量絶縁膜の結晶粒界が成長しにくく容量絶縁膜の薄膜化が抑えられ、さらに、蓄積電極とプレート電極との間に電圧を印加しても最先端部での電界集中が起りにくいのので、容量絶縁膜の破壊を防ぐことができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】本発明の一実施の形態であるDRAMメモリセルの情報蓄積用容量素子およびその製造方法を図1～図8を用いて説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】図1は、本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【0027】情報蓄積用容量素子を構成する蓄積電極SNは、メモリセル選択用MISFETQ_tの上方に形成されており、その形状は多結晶シリコン膜32からなる円筒型の部分と多結晶シリコン膜27、28、30からなる底面の部分から構成されるクラウン構造となっている。

【0028】蓄積電極SNは、蓄積電極SNの一部を構成する多結晶シリコン膜30によってメモリセル選択用MISFETQ_tの一方の第1のn型半導体領域14上に形成されているプラグ電極PGに接続されている。なお、メモリセル選択用MISFETQ_tの他方の第2のn型半導体領域19はビット線BLに接続されている。

【0029】蓄積電極SNの表面には、容量絶縁膜である高誘電率($\epsilon=23$)のTa₂O₅膜33が、厚さ約2nmの薄い窒化シリコン膜(図示せず)を介して形成され、Ta₂O₅膜33の表面にはプレート電極PLである窒化チタン膜34が形成されている。なお、上記窒化シリコン膜は、Ta₂O₅膜33を形成する際、多結晶シリコン膜27、28、30、32の表面が酸化されて情報蓄積用容量素子が有する蓄積電荷量が減少するのを防ぐために設けられている。

【0030】図2は、蓄積電極SNの断面の一部を拡大した図である。多結晶シリコン膜32の最先端部は丸みを帯びた形状をしており、その断面形状が有する内角の角度は35度以上である。

【0031】次に、前記図1に示した本実施の形態の情報蓄積用容量素子の製造方法を図3～図8を用いて説明する。

【0032】まず、p⁻型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、フィールド絶縁膜3およびゲート絶縁膜4を順次形成する。

【0033】次に、図3に示すように、半導体基板1上にリン(P)が導入された多結晶シリコン膜5、WSi₂膜6、酸化シリコン膜7および窒化シリコン膜8を順次堆積する。その後、フォトリソistをマスクにして窒化シリコン膜8、酸化シリコン膜7、WSi₂膜6および多結晶シリコン膜5からなる積層膜を順次エッチングすることにより、WSi₂膜6および多結晶シリコン膜5からなるメモリセル選択用MISFETQ_tのゲート電極9を形成する。

【0034】次に、半導体基板1に熱酸化処理を施すことによって、ゲート電極9を構成するWSi₂膜6および多結晶シリコン膜5の側壁に薄い酸化シリコン膜10

を形成する。

【0035】その後、半導体基板1上に堆積された窒化シリコン膜をRIE(Reactive Ion Etching)法などの異方性エッチングで加工することによって、上記積層膜の側壁にサイドウォールスペーサ11を形成する。

【0036】次に、半導体基板1上に酸化シリコン膜12およびBPSG(Boron PhosphoSilicate Glass)膜13をCVD法によって堆積した後、900～950℃のリフロー処理により上記BPSG膜13の表面を平坦化し、次いで、半導体基板1上にPが導入された多結晶シリコン膜(図示せず)をCVD法によって堆積する。

【0037】その後、フォトリソistをマスクにしてこの多結晶シリコン膜、BPSG膜13、酸化シリコン膜12およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETQ_tの一方の後に形成される第1のn型半導体領域14上に第1のコンタクトホール15を形成する。次いで、n型不純物、例えばPをイオン注入し、メモリセル選択用MISFETQ_tの一方の第1のn型半導体領域14を形成する。

【0038】次に、半導体基板1上にPが導入された多結晶シリコン膜16をCVD法によって堆積した後、この多結晶シリコン膜16および上記多結晶シリコン膜を順次エッチバックすることにより、上記第1のコンタクトホール15内に多結晶シリコン膜16からなるプラグ電極PGを形成する。

【0039】次に、半導体基板1上に酸化シリコン膜17およびPが導入された多結晶シリコン膜18をCVD法によって堆積する。次いで、フォトリソistをマスクにして多結晶シリコン膜18、酸化シリコン膜17、BPSG膜13、酸化シリコン膜12およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETQ_tの他方の後に形成される第2のn型半導体領域19上に第2のコンタクトホール20を形成する。

【0040】次いで、図4に示すように、半導体基板1上にPが導入された多結晶シリコン膜21およびWSi₂膜22をCVD法によって順次堆積した後、フォトリソistをマスクにしてWSi₂膜22、多結晶シリコン膜21および多結晶シリコン膜18を順次エッチングすることにより、WSi₂膜22、多結晶シリコン膜21および多結晶シリコン膜18からなるビット線BLを形成する。

【0041】また、多結晶シリコン膜21に導入されたPの拡散によってメモリセル選択用MISFETQ_tの他方の第2のn型半導体領域19は形成され、ビット線BLは第2のコンタクトホール20を通じて、このメモリセル選択用MISFETQ_tの第2のn型半導体領域19に接続される。

【0042】次に、図5に示すように、半導体基板1上

に酸化シリコン膜23、窒化シリコン膜24およびBPSG膜25をCVD法によって順次堆積した後、900～950℃のリフロー処理により上記BPSG膜25の表面を平坦化し、次いで、半導体基板1上に酸化シリコン膜26を堆積する。その後、半導体基板1上に、約70nmの厚さのPが導入された多結晶シリコン膜27をCVD法によって堆積し、次いで、フォトリソトをマスクにしてこの多結晶シリコン膜27をエッチングする。

【0043】次に、図6に示すように、半導体基板1上にPが導入された多結晶シリコン膜28をCVD法によって堆積した後、この多結晶シリコン膜28をRIE法などの異方性エッチングで加工することによって、上記多結晶シリコン膜27の側壁にサイドウォールスペーサを形成する。次いで、酸化シリコン膜26、BPSG膜25、窒化シリコン膜24、酸化シリコン膜23および酸化シリコン膜17を順次エッチングすることにより、第1のコンタクトホール15内に設けられたプラパ電極PG上に第3のコンタクトホール29を形成する。その後、半導体基板1上にPが導入された多結晶シリコン膜30および約500nmの厚さのBPSG膜31をCVD法によって順次堆積する。

【0044】次に、図7に示すように、フォトリソトをマスクにしてBPSG膜31および多結晶シリコン膜30、27を順次エッチングした後、半導体基板1上に厚さ約100nmのPが導入された多結晶シリコン膜32をCVD法によって堆積する。

【0045】次いで、この多結晶シリコン膜32をRIE法などの異方性エッチングで加工することによって、BPSG膜31および多結晶シリコン膜30、27の側壁に円筒型の多結晶シリコン膜32を残す。なお、この時の円筒型の多結晶シリコン膜32の最先端部は尖っており、図10に示したように、この最先端部の断面形状は約30度の角度の内角を有する。

【0046】続いて、図8に示すように、例えば、フッ酸水溶液を用いたウエットエッチングによって、BPSG膜31、酸化シリコン膜26およびBPSG膜25を除去して、多結晶シリコン膜32、30、28、27からなるクラウン構造の蓄積電極SNを形成する。

【0047】次に、半導体基板1に、例えば、850℃の温度で3分間の熱酸化処理を施すことによって、多結晶シリコン膜32、30、28、27の表面に約4nmの酸化シリコン膜（図示せず）を形成する。その後、フッ酸水溶液（例えば、HF:H₂O=1:200）を用いたウエットエッチングを約2分間行い、上記酸化シリコン膜を除去する。これによって、前記図2に示したように、蓄積電極SNを構成する円筒型の多結晶シリコン膜32の最先端部を丸みを帯びた形状とし、この部分の断面形状における内角がなす角度を35度以上とする。

【0048】次に、蓄積電極SNの表面に厚さ約2nm

の窒化シリコン膜（図示せず）をCVD法によって堆積し、続いて、厚さ約30nmの非晶質のTa₂O₅膜33をCVD法によって堆積した後、半導体基板1に熱酸化処理を施すことによって、Ta₂O₅膜33を結晶化する。その後、半導体基板1上に窒化チタン膜34をCVD法によって堆積し、次いで、フォトリソトをマスクにしてこの窒化チタン膜34をエッチングすることにより、窒化チタン膜34からなるプレート電極PLを形成して、図1に示した情報蓄積用容量素子が完成する。

10 【0049】このように、本実施の形態によれば、蓄積電極SNの一部を構成する円筒型の多結晶シリコン膜32の最先端部は丸みを帯びた形状をしており、また、この部分の断面形状の内角がなす角度が35度以上あるので、最先端部においてTa₂O₅膜33の結晶粒界が成長しにくくTa₂O₅膜33の薄膜化が抑制され、さらに、蓄積電極SNとプレート電極PLとの間に電圧を印加しても最先端部での電界集中が起きにくいので、Ta₂O₅膜33の破壊を防ぐことができる。

20 【0050】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0051】たとえば、前記実施の形態では、多結晶シリコン膜によって構成された蓄積電極に適用した場合について説明したが、高融点金属膜または金属シリサイド膜によって構成された蓄積電極にも適用可能である。

30 【0052】また、前記実施の形態では、容量絶縁膜を構成する誘電体膜にTa₂O₅膜を用いたが、他の高誘電体膜、例えば、(Ba, Sr)TiO₃膜またはPb(Zr, Ti)O₃膜を用いてもよく、Ta₂O₅膜を用いた場合と同様の効果が得られる。

【0053】また、前記実施の形態では、多結晶シリコン膜によってクラウン構造の蓄積電極を形成した後、その表面に熱酸化処理によって形成した酸化シリコン膜を除去することによって、蓄積電極の一部を構成する円筒型の多結晶シリコン膜の最先端部を丸みを帯びた形状としたが、等方性のエッチングによって円筒型の多結晶シリコン膜の最先端部を丸みを帯びた形状としてもよい。

40 【0054】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】本発明によれば、クラウン構造の蓄積電極の一部を構成する円筒型の導電膜の最先端部において、容量絶縁膜の薄膜化および蓄積電極とプレート電極間の電界集中を抑制して容量絶縁膜の破壊を防ぐことができるので、情報蓄積用容量素子の信頼度を向上することができる。

50 【図面の簡単な説明】

9

10

【図1】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である情報蓄積用容量素子の蓄積電極の要部断面の拡大図である。

【図3】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図9】従来の半導体集積回路装置の情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図10】従来の情報蓄積用容量素子の蓄積電極の要部断面の拡大図である。

【符号の説明】

- 1 半導体基板
- 2 p型ウエル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 多結晶シリコン膜
- 6 タングステンシリサイド (WSi₂)膜

- 7 酸化シリコン膜
- 8 窒化シリコン膜
- 9 ゲート電極
- 10 酸化シリコン膜
- 11 サイドウォールスペーサ
- 12 酸化シリコン膜
- 13 BPSG膜
- 14 第1のn型半導体領域
- 15 第1のコンタクトホール
- 16 多結晶シリコン膜
- 17 酸化シリコン膜
- 18 多結晶シリコン膜
- 19 第2のn型半導体領域
- 20 第2のコンタクトホール
- 21 多結晶シリコン膜
- 22 タングステンシリサイド (WSi₂)膜
- 23 酸化シリコン膜
- 24 窒化シリコン膜
- 25 BPSG膜
- 26 酸化シリコン膜
- 27 多結晶シリコン膜
- 28 多結晶シリコン膜 (サイドウォールスペーサ)
- 29 第3のコンタクトホール
- 30 多結晶シリコン膜
- 31 BPSG膜
- 32 多結晶シリコン膜
- 33 Ta₂O₅膜
- 34 窒化チタン膜
- 35 結晶粒界
- 30 Qt メモリセル選択用MISFET
- PG プラグ電極
- BL ビット線
- SN 蓄積電極
- PL プレート電極

【図2】

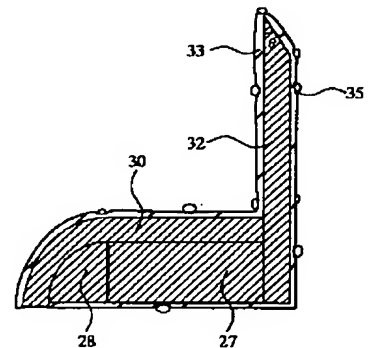
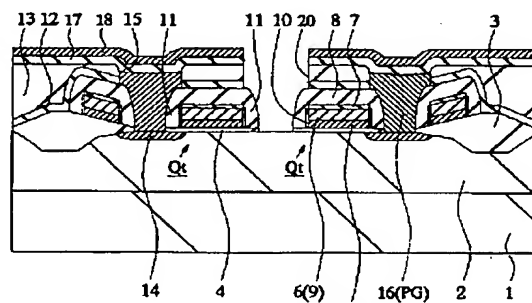
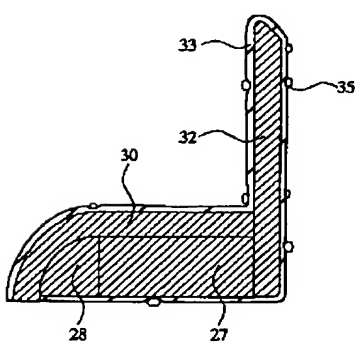
【図3】

【図10】

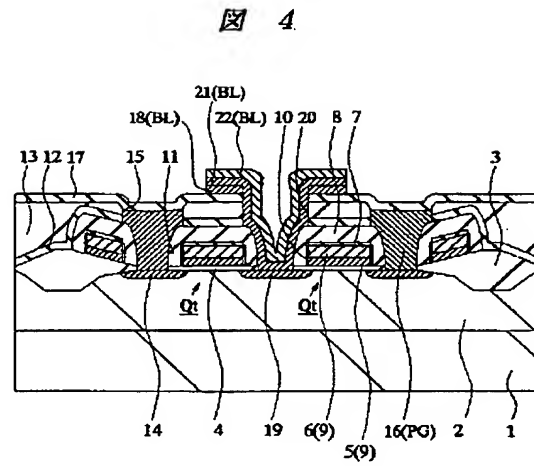
図 2

図 3

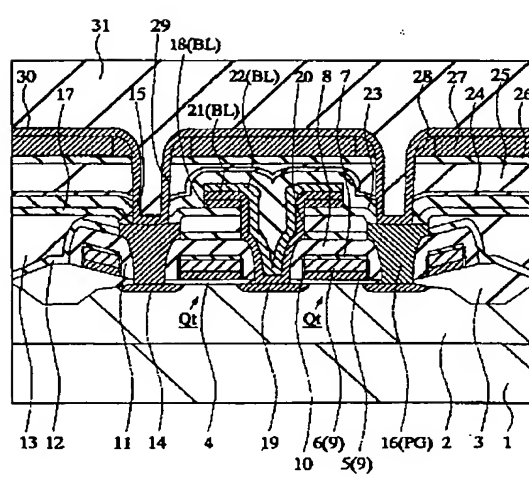
図 10



【図4】

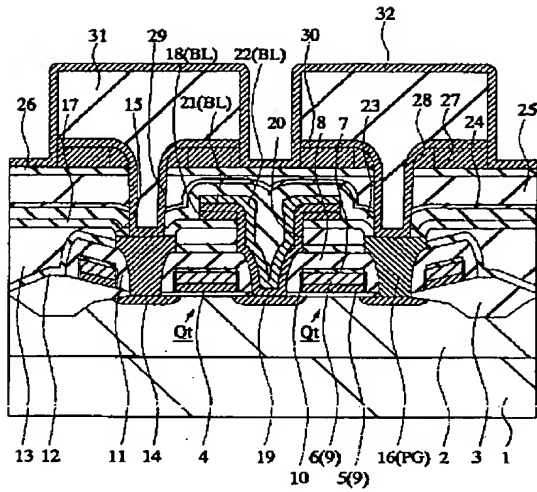


【図6】



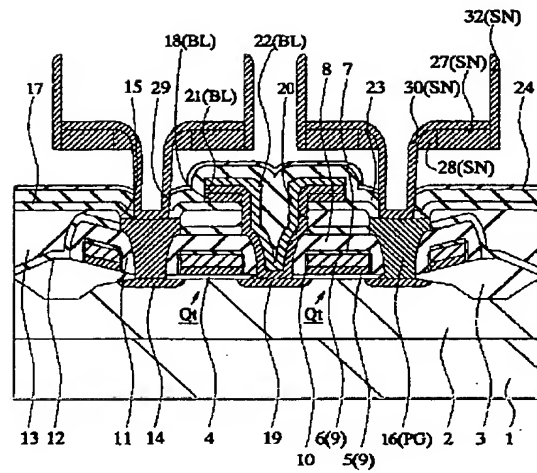
【図7】

図 7



【図8】

図 8



【図9】

図 9

